

16.12.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 2 1 日
Date of Application:

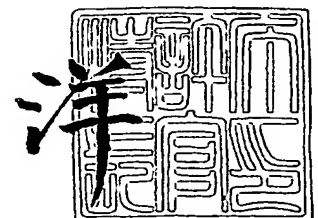
出 願 番 号 特 願 2 0 0 3 - 3 9 1 7 6 8
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 9 1 7 6 8]

出 願 人 日 本 碍 子 株 式 会 社
Applicant(s):

2 0 0 5 年 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



BEST AVAILABLE COPY

【書類名】 特許願
【整理番号】 PCK17850GA
【提出日】 平成15年11月21日
【あて先】 特許庁長官殿
【国際特許分類】 H02M 9/04
H03K 17/80

【発明者】
【住所又は居所】 愛知県名古屋市瑞穂区須田町 2 番 5 6 号 日本碍子株式会社内
【氏名】 波多野 達彦

【発明者】
【住所又は居所】 愛知県名古屋市瑞穂区須田町 2 番 5 6 号 日本碍子株式会社内
【氏名】 佐久間 健

【特許出願人】
【識別番号】 000004064
【氏名又は名称】 日本碍子株式会社

【代理人】
【識別番号】 100077665
【弁理士】
【氏名又は名称】 千葉 剛宏

【選任した代理人】
【識別番号】 100116676
【弁理士】
【氏名又は名称】 宮寺 利幸

【手数料の表示】
【予納台帳番号】 001834
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9724024
【包括委任状番号】 0206306

【書類名】 特許請求の範囲**【請求項 1】**

直流電源部の両端に直列接続されたインダクタ、第 1 の半導体スイッチ及び第 2 の半導体スイッチと、

前記第 1 の半導体スイッチのアノード端子に一端が接続された前記インダクタの他端にカソード端子が接続され、前記第 1 の半導体スイッチのゲート端子にアノード端子が接続されたダイオードとを有し、

前記インダクタは、1 次巻線と 2 次巻線とを有し、

前記 1 次巻線に並列にコンデンサが接続されていることを特徴とする高電圧パルス発生回路。

【請求項 2】

直流電源部の両端に直列接続されたインダクタ、第 1 の半導体スイッチ及び第 2 の半導体スイッチと、

前記第 1 の半導体スイッチのアノード端子に一端が接続された前記インダクタの他端と前記第 1 の半導体スイッチのゲート端子との間に接続された抵抗とを有し、

前記インダクタは、1 次巻線と 2 次巻線とを有し、

前記 1 次巻線に並列にコンデンサが接続されていることを特徴とする高電圧パルス発生回路。

【請求項 3】

請求項 1 又は 2 記載の高電圧パルス発生回路において、

前記第 2 の半導体スイッチのターンオンによる前記第 1 の半導体スイッチの導通に伴う前記インダクタへの誘導エネルギーの蓄積と、

前記第 2 の半導体スイッチのターンオフによる前記第 1 の半導体スイッチのターンオフに伴う前記インダクタでの高電圧パルスの発生とが行われることを特徴とする高電圧パルス発生回路。

【請求項 4】

請求項 3 記載の高電圧パルス発生回路において、

前記コンデンサは、前記第 2 の半導体スイッチのターンオフ後に前記第 1 の半導体スイッチに流れる電流を転流させる経路を形成することを特徴とする高電圧パルス発生回路。

【請求項 5】

請求項 1 ～ 4 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記第 1 の半導体スイッチに対して並列に接続され、かつ、前記第 1 の半導体スイッチの前記アノード端子にカソード端子が接続されたダイオードを有することを特徴とする高電圧パルス発生回路。

【請求項 6】

請求項 1 ～ 4 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記直流電源部と前記第 2 の半導体スイッチとの間にアノード端子が接続され、かつ、前記第 1 の半導体スイッチのアノード端子あるいは前記インダクタの前記一端にカソード端子が接続されたダイオードを有することを特徴とする高電圧パルス発生回路。

【請求項 7】

請求項 1 ～ 6 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記第 1 の半導体スイッチは、静電誘導サイリスタを有することを特徴とする高電圧パルス発生回路。

【請求項 8】

請求項 1 ～ 7 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記第 2 の半導体スイッチは、電力用金属酸化半導体電界効果トランジスタを有することを特徴とする高電圧パルス発生回路。

【書類名】明細書

【発明の名称】高電圧パルス発生回路

【技術分野】

【0001】

本発明は、簡単な回路構成にて、低い電圧の直流電源部からインダクタに蓄積させた電磁エネルギーを開放することにより、極めて短い立ち上がり時間と極めて狭いパルス幅とを有する高電圧パルスを供給できる高電圧パルス発生回路に関する。

【背景技術】

【0002】

最近、高電圧パルスの放電によるプラズマにより、脱臭、殺菌、有害ガスの分解等を行う技術が適応されるようになってきたが、このプラズマを発生させるために高電圧の極めて幅の狭いパルスを供給できる高電圧パルス発生回路が必要となる。

【0003】

従来の高電圧パルス発生回路100は、図10に示すように、高電圧パルスの波高値に略等しい直流高電圧を発生する充電装置102と、該充電装置102からの直流高電圧に充電されるキャパシタ104と、大きな耐電圧を得るために直列接続された複数個の静電誘導サイリスタ（以下、SIサイリスタと記す）等の半導体素子106によるスイッチ108と、該スイッチ108の高速スイッチングによってキャパシタ104に充電された直流高電圧が高電圧パルスとして供給される負荷110とを有する（例えば特許文献1参照）。

【0004】

各半導体素子106には、これら半導体素子106をターンオンさせるために、ゲート駆動回路112が接続されている。また、各半導体素子106の非導通時におけるインピーダンスのばらつきによる各半導体素子106の分担電圧のアンバランスを小さくするために、バランス抵抗114が半導体素子106に並列に接続されている。

【0005】

すなわち、高電圧パルス発生回路100には、負荷110に対して直列に、複数個の半導体素子106とバランス抵抗114とからなる多直列回路116が接続されている。

【0006】

一方、提案例に係る高電圧パルス発生回路118は、図11に示すように、半導体スイッチ126をターンオンすることによって、直流電源120（電源電圧E）から抵抗136（抵抗値R）→各磁性体コア128の1ターンの1次巻線→半導体スイッチ126→直流電源120に、略E/Rの大きさの電流が流れる。

【0007】

このとき、磁性体コア128のトランス作用により各磁性体コア128の1ターンの2次巻線にも同じ大きさの電流が各半導体素子134のゲートカソードを経由して流れるため、全ての半導体素子134を同時にターンオンすることとなる（例えば非特許文献1参照）。

【0008】

これにより、半導体スイッチ126と直列接続された半導体素子134とが導通するため、インダクタ138には略Eの電圧が印加され、電流 I_L が直線状に増加して行き、電磁エネルギーがインダクタに蓄積される。

【0009】

インダクタ138に流れる電流 I_L が増加して、所望の電磁エネルギーが蓄積された段階で、半導体スイッチ126をターンオフさせると、インダクタの電流の流れる経路が断たれようとするため、インダクタの残留電磁エネルギーによる誘起電圧が逆極性に発生する。

【0010】

その結果、ダイオード140が導通し、インダクタ138→各半導体素子134→各磁性体コア128の1次巻線→ダイオード140→インダクタ138という経路でインダクタの電流が引き続き流れるようになる。このとき、各磁性体コアの2次巻線にも同じ大き

さの電流が流れる。

【0011】

つまり、各半導体素子134のアノードに流れ込む電流は全てゲートへ流れ出し、カソードには電流が流れなくなる。この電流は半導体素子134に蓄積された電荷が放出されるまで流れる。この状態では電流経路に大きな電圧降下は生じず、時間も極く短時間なため、インダクタの電流の減少は僅かであり、インダクタの電磁エネルギーの減少も少ない。

【0012】

この電荷の放出と共に、半導体素子134はオフ状態に移行し、急速に空乏層が形成されていき、これによる少量の電気容量でインダクタ電流が充電されるため、アノード-カソード間の電圧も急峻に立ち上がっていく。このため、インダクタ電圧は急速に増大し、電流は急速に減少する。言い換えれば、インダクタの電磁エネルギーが半導体素子134のアノード-カソード間容量に静電エネルギーとして移行することになる。この電圧は負荷142にも供給されるので、この移行の過程でインダクタの電磁エネルギー及び半導体素子134のアノード-カソード間容量による静電エネルギーが負荷で消費される。

【0013】

高電圧パルス発生回路118では、直流電源120は低電圧でもよく、半導体素子134のターンオン及びターンオフは磁性体コア128の2次電流のみで行われ、ゲート駆動回路が不要になり、装置を簡単化することが可能となる。

【0014】

【特許文献1】特開2002-44965号公報（図3、図4）

【非特許文献1】電気学会プラズマ研究会、講演番号PST-02-16号（図1）

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかしながら、図10に示す従来の高電圧パルス発生回路100は、回路構成が複雑である。また、充電装置102をはじめとして、全ての回路部品に高電圧が印加される。そのため、絶縁距離を大きく取る等、高電圧絶縁を行う必要がある。従って、高電圧パルス発生回路100の大型化とコストの増大化を招くという問題がある。

【0016】

また、万一の誤動作により、直列された半導体素子106の一部のみが、ターンオンした場合には、残りの半導体素子106に定格を超えた過電圧の印加による破壊が生じるおそれがあり、高信頼性の動作が期待できないという問題がある。

【0017】

さらに、極めて急峻に立上がるパルス（10kV/ μ 秒以上）を発生させるために半導体素子106を急速にターンオンさせる必要があることから、半導体素子106へのゲート信号の印加タイミングのズレや各半導体素子106のターンオン時間のズレが、2n秒や3n秒のオーダーでもターンオン時の過渡電圧バランスが大きく崩れるという問題があり、通常のインバータ等（数百V/ μ 秒程度）のような半導体素子の直列接続の場合に比べて桁違いの困難さがある。

【0018】

一方、図11に示す提案例に係る高電圧パルス発生回路118では、直流電源120は低電圧でよく、万一のターンオン誤動作等の場合において、半導体素子134に対して耐電圧以上の電圧が印加されるということが全くなく、その点での改良はなされているが、半導体素子134のターンオフ時間のばらつきにより、急速に行われるターンオフ時において過渡電圧バランスの崩れを防止するのが非常に難しい。つまり、複数の半導体素子の直列接続に伴う問題は相変わらず存在している。

【0019】

さらに、ダイオード140の直列回路に複数の磁性体コアが配されるため、これによる物理的な距離、並びに有限の1次巻線及び2次巻線間の漏れによるインダクタンスの存在により、半導体スイッチ126のターンオフによるインダクタ電流のダイオード140へ

の転流に時間を要し、半導体素子 134 のターンオフゲート電流の増加率が抑えられてしまい、半導体素子 134 のカソードに電流が流れている間に空乏層が広がり始め（ターンオフ利得が 1 以上となり）、急峻なターンオフでは不安定となるおそれがあった。

【0020】

本発明はこのような問題を考慮してなされたものであり、高電圧が印加される半導体スイッチを複数個使用することなく、簡単な回路構成で、急峻な立ち上がり時間と極めて狭いパルス幅を有する高電圧パルスを提供できるようにした高電圧パルス発生回路を提供することを目的とする。

【0021】

また、本発明の他の目的は、上述の目的に加えて、第 1 の半導体スイッチの動作責務を軽減することができ、第 1 の半導体スイッチのスイッチング損失の低減や電流遮断耐量の向上を図ることができる高電圧パルス発生回路を提供することにある。

【0022】

また、本発明の他の目的は、上述の目的に加えて、電源効率の向上、出力パルス数の向上、出力パルスエネルギーの向上を図ることができる高電圧パルス発生回路を提供することにある。

【課題を解決するための手段】

【0023】

本発明に係る高電圧パルス発生回路は、直流電源部の両端に直列接続されたインダクタ、第 1 の半導体スイッチ及び第 2 の半導体スイッチと、前記第 1 の半導体スイッチのアノード端子に一端が接続された前記インダクタの他端にカソード端子が接続され、前記第 1 の半導体スイッチのゲート端子にアノード端子が接続されたダイオードとを有し、前記インダクタは、1 次巻線と 2 次巻線とを有し、前記 1 次巻線に並列にコンデンサが接続されていることを特徴とする。

【0024】

まず、前記第 2 の半導体スイッチをターンオンすることにより、第 1 の半導体スイッチも導通し、前記インダクタに直流電源部の電圧が印加され、該インダクタに誘導エネルギーが蓄積される。その後、前記第 2 の半導体スイッチをターンオフさせると、前記第 1 の半導体スイッチも急速にターンオフするため、前記インダクタに非常に急峻に立ち上がる極めて幅の狭い高電圧パルスが発生することとなる。

【0025】

前記インダクタで高電圧パルスの発生を行い、高電圧パルスの供給を受ける負荷は、前記インダクタと並列に接続する、あるいは前記第 1 の半導体スイッチと並列に接続してもよい。

【0026】

第 1 の半導体スイッチとしては、電流制御形のデバイス又は自己消弧形あるいは転流消弧形のデバイスを用いることができる。具体的には、S I サイリスタ、G T O（ゲートターンオフサイリスタ）、S I T（静電誘導トランジスタ）、バイポーラトランジスタ、サイリスタ等を使用することができる。その中でも前記 G T O のような電流制御形で、かつ、自己消弧形のサイリスタが適しており、特に、短幅パルスの発生のためにターンオン・ターンオフ速度の早いデバイスが要求される場合には、S I サイリスタが好適である。この S I サイリスタは、ターンオン時の電流上昇率が比較的緩やかな場合には、ゲートカソード間に若干の正電圧を印加するだけで電界効果によるターンオンが可能となる。

【0027】

また、ターンオフに際しては、ゲートから電流を流し出すことで、デバイス内部に蓄積された電荷を消滅させ、空乏層を形成し、ターンオフを達成する。通常のインバータ等を使用した場合には、ターンオフ利得が 1 以上、つまり、ゲート電流がアノード電流より小さく、かつ、この電流の増加率が大きくなくても電荷の引き抜きが完了すればターンオフを達成できる。

【0028】

ところが、パルスパワー用途のように急峻なターンオフを行う必要がある場合には、このターンオフゲート電流がアノード電流と同じ（この場合、ターンオフ利得が1）か、それ以上（この場合、ターンオフ利得は1以下）に大きく、かつ、急速に増大させ、デバイス内部に蓄積された電荷の引き抜きが終了する前にカソード電流がゼロとなる理想的で、安定したターンオフを達成する必要がある。

【0029】

しかし、通常、アノード電流は大きく、従って、ターンオフ利得を1ないしそれ以下、かつ急峻（アノード電流に等しくなるまでの時間が十数 μ 秒以下）にターンオフさせるために、通常使用するゲート駆動回路でゲートからこのような電流を流すことは非常に困難であり、また、実用的ではない。

【0030】

本発明に係る高電圧パルス発生回路は、このようなゲート駆動回路を使用せずにターンオフ利得を見かけ上、1以下とすることができる機能を有している。

【0031】

第2の半導体スイッチとしては、自己消弧形あるいは転流消弧形のデバイスを使用することができる。例えば電力用金属酸化半導体電界効果トランジスタが好適である。

【0032】

ところで、上述した本発明においては、前記インダクタの1次巻線に発生する電圧に略等しい電圧が前記第1の半導体スイッチにも印加される。従って、2次巻線側において、これ以上の出力電圧が要求される場合には、前記2次巻線を、前記1次巻線の巻数よりも多い巻数とすればよい。これにより、前記第1の半導体スイッチの耐電圧よりも高い電圧を有する高電圧パルスが該インダクタの2次巻線に発生されることになる。

【0033】

さらに、本発明においては、1次巻線と並列にコンデンサを接続するようにしている。この場合、コンデンサは、前記第2の半導体スイッチがターンオフし、その後、前記第1の半導体スイッチがターンオフする際に、前記第1の半導体スイッチに流れる電流を転流させる経路を形成することになる。

【0034】

これにより、第1の半導体スイッチの動作責務を軽減することができ、第1の半導体スイッチのスイッチング損失の低減や電流遮断耐量の向上を図ることができる。特に、電流遮断耐量の向上は、パルス電源の大容量化につながる。

【0035】

また、第1の半導体スイッチが高速に、もしくは大電流を遮断した場合に、インダクタの励磁インダクタンスには大きなサージ電圧が第1の半導体スイッチに加わることになるが、上述のコンデンサを接続することで、前記サージ電圧を抑えることができ、第1の半導体スイッチの信頼性の向上を図ることができる。

【0036】

しかも、使用する第1の半導体スイッチによっては、ターンオフ時の電圧上昇率（ dv/dt ）をあまり高くできない場合があるが、上述のコンデンサを接続することで、使用する第1の半導体スイッチの許容可能なレベルの電圧上昇率（ dv/dt ）まで、前記コンデンサの容量で調整することができる。

【0037】

なお、上述のコンデンサに残ったエネルギーの多くは直流電源部に回生されることから、前記コンデンサを接続することによる効率低下は少ない。

【0038】

このように、本発明に係る高電圧パルス発生回路においては、高電圧が印加される半導体スイッチを複数個使用することなく、簡単な回路構成で、急峻な立ち上がり時間と極めて狭いパルス幅を有する高電圧パルスを供給できる。また、第1の半導体スイッチの動作責務を軽減することができ、第1の半導体スイッチのスイッチング損失の低減や電流遮断耐量の向上を図ることができる。その結果、電源効率の向上、出力パルス数の向上、出力

パルスエネルギーの向上を図ることができる。

【0039】

また、前記構成において、前記第1の半導体スイッチに対して並列に接続され、かつ、前記第1の半導体スイッチの前記アノード端子にカソード端子が接続されたダイオードを有するようにしてもよいし、あるいは、前記直流電源部と前記第2の半導体スイッチとの間にアノード端子が接続され、かつ、前記第1の半導体スイッチのアノード端子あるいは前記インダクタの前記一端にカソード端子が接続されたダイオードを有するようにしてもよい。

【0040】

この構成により、前記インダクタでの残存エネルギー、例えばインダクタに負荷が接続されていれば、該負荷の余分なエネルギー（使われないエネルギー）、並びに前記インダクタの1次巻線に対して並列に接続されたコンデンサの蓄積エネルギーを直流電源部に戻す動作が行われ、電源の高効率化に寄与する。

【0041】

また、本発明に係る高電圧パルス発生回路は、直流電源部の両端に直列接続されたインダクタ、第1の半導体スイッチ及び第2の半導体スイッチと、前記第1の半導体スイッチのアノード端子に一端が接続された前記インダクタの他端と前記第1の半導体スイッチのゲート端子との間に接続された抵抗とを有し、前記インダクタは、1次巻線と2次巻線とを有し、前記1次巻線に並列にコンデンサが接続されていることを特徴とする。

【0042】

これにより、第2の半導体スイッチをターンオンさせたときに、第1の半導体スイッチをより確実にターンオンさせることができる。特に、第1の半導体スイッチを電流制御形のデバイスで構成した場合、ゲートに電流を流し込まないとターンオンしないが、上述のように抵抗を接続することで、第1の半導体スイッチを確実にターンオンさせることができる。

【0043】

なお、上述の抵抗を用いた構成においては、直流電源部で使用する電源電圧を高電圧とした場合においても低コストで構成することができる。

【発明の効果】

【0044】

以上説明したように、本発明に係る高電圧パルス発生回路によれば、高電圧が印加される半導体スイッチを複数個使用することなく、簡単な回路構成で、急峻な立ち上がり時間と極めて狭いパルス幅を有する高電圧パルスを提供でき、しかも、第1の半導体スイッチの動作責務を軽減することができ、第1の半導体スイッチのスイッチング損失の低減や電流遮断耐量の向上を図ることができる。

【0045】

その結果、電源効率の向上、出力パルス数の向上、出力パルスエネルギーの向上を図ることができる。

【発明を実施するための最良の形態】

【0046】

以下、本発明に係る高電圧パルス発生回路の実施の形態例を図1～図9を参照しながら説明する。

【0047】

まず、本実施の形態に係る高電圧パルス発生回路を説明する前に、本実施の形態で 사용되는高電圧パルス発生回路の基本構成及び基本動作について図1～図2Eを参照しながら説明する。

【0048】

まず、この基本構成に係る高電圧パルス発生回路10は、図1に示すように、直流電源12と高周波インピーダンスを低くするコンデンサ14とを有する直流電源部16の両端18及び20に、インダクタ22、第1の半導体スイッチ24及び第2の半導体スイッチ

26を直列接続し、さらに、一端28が第1の半導体スイッチ24のアノード端子Aに接続されたインダクタ22の他端30と、第1の半導体スイッチ24の制御端子(ゲート端子)Gとの間に該制御端子G側がアノードとなるようにダイオード32が挿入接続され、高電圧パルスが必要とする負荷34がインダクタ22と並列に接続されて構成されている。

【0049】

図1の例では、第2の半導体スイッチ26が直流電源部16の負極端子20側に設けられているが、正極端子18側に設けても同じ効果をもたらすことはいうまでもない。また、負荷34もインダクタ22と並列ではなく、第1の半導体スイッチ24と並列に接続してもよい。

【0050】

第2の半導体スイッチ26には、自己消弧形あるいは転流消弧形のデバイスを用いることができるが、この基本構成では、アバランシェ形ダイオード36が逆並列で内蔵された電力用金属酸化半導体電界効果トランジスタ(以下、パワーMOSFETと記す)38を使用し、該パワーMOSFET38と、パワーMOSFET38のゲート端子Gとソース端子Sに接続され、パワーMOSFET38のオン及びオフを制御するゲート駆動回路40とから構成されている。

【0051】

第1の半導体スイッチ24は、電流制御形のデバイス又は自己消弧形あるいは転流消弧形のデバイスを用いることができるが、この第1の実施の形態では、ターンオフ時の電圧上昇率(dv/dt)に対する耐量が極めて大きく、かつ、電圧定格の高いSIサイリスタを用いている。

【0052】

次に、この基本構成に係る高電圧パルス発生回路10が負荷34に対して高電圧パルス V_L を供給する時間経過について、図1の回路図と図2A～図2Eの動作波形図とを参照しながら説明する。

【0053】

まず、時点 t_0 において、ゲート駆動回路40からパワーMOSFET38のゲート-ソース間に制御信号 V_c (図2E参照)が供給され、パワーMOSFET38がオフからオンになる(図2D参照)。

【0054】

このとき、ダイオード32の逆極性の極めて大きなインピーダンスにより、第1の半導体スイッチ24は、ゲートG及びカソードK間に正に印加される電界効果によりターンオンする。第1の半導体スイッチ24のアノード電流の立ち上がりは、インダクタ22により抑制されるため、電界効果だけでも、正常なターンオンが行われる。なお、ダイオード32と並列に抵抗を接続するか、あるいは他の電源から抵抗を介して第1の半導体スイッチ24のゲート端子Gに積極的にゲート電流を流してもよいことはいうまでもない。

【0055】

このようにして、時点 t_0 で第2の半導体スイッチ26及び第1の半導体スイッチ24が導通すると、インダクタ22に直流電源12の電源電圧 E とほぼ同じ電圧が印加され、インダクタ22の1次インダクタンスを L とすると、図2Aに示すように、インダクタ22の電流 I_L は勾配(E/L)で時間の経過に伴って直線状に増加する。

【0056】

前記電流 I_L は、時点 t_1 で電流が $I_p (=E T_0/L)$ となり、所望の電磁エネルギー($=L I_p^2/2$)が得られると、ゲート駆動回路40からの制御信号 V_c の供給を停止し、パワーMOSFET38をターンオフさせる(図2E参照)。

【0057】

このとき、前記電流 I_L の通流経路に存在するインダクタ22以外の図示しない浮遊インダクタンス(主に配線インダクタンス)が大きいと、パワーMOSFET38は瞬時に遮断状態とはならず、若干、電流が流れ続ける時間があり、パワーMOSFET38の出

力容量を充電し、ダイオード36のアバランシェ電圧に達すると、該ダイオード36がアバランシェ電圧を持ったまま導通し、大きな損失を発生させる。このため、前記浮遊インダクタンスを極力低減させることにより、ダイオード36がアバランシェまで至らないようにし、ほぼ理想的なターンオフが行われるようにする。

【0058】

パワーMOSFET38がターンオフすることにより、第1の半導体スイッチ24のカソードKからの電流もゼロ、つまり、開放状態となるため、インダクタ22に流れていた電流 I_L は遮断され、インダクタ22は残留電磁エネルギーによって逆誘起電圧を発生させようとするが、ダイオード32が作用し、インダクタ22の電流 I_L は、第1の半導体スイッチ24のアノードA→第1の半導体スイッチ24のゲートG→ダイオード32のアノード→ダイオード32のカソードで構成される経路に転流する。

【0059】

この場合、ダイオード32が存在する分岐回路の浮遊インダクタンスも極力低くし、転流が短時間で終了するように配慮する必要がある。第1の半導体スイッチ24は、今まで流れていた電流によって電荷が蓄積されており、この電荷がゼロとなるまでは（ストレージ期間）、第1の半導体スイッチ24のアノードゲート間は導通状態を維持するため、上記経路の電圧降下は少ない。

【0060】

従って、インダクタ22の逆誘起電圧 V_L は十分低い値に抑えられるため、時間の短いストレージ期間（図2Aの時間 T_1 ）内の前記電流 I_L の減少はほとんどないが、該時間 T_1 は第1の半導体スイッチ24のゲート端子Gから引き抜かれる電荷量により決まる。そのため、できるだけ大きな電流を急峻に流し、見かけ上のターンオフ利得を1以下として時間 T_1 を短縮し、インダクタ22の電流 I_L の減少を極力抑える必要がある。

【0061】

時点 t_2 で第1の半導体スイッチ24の内部に蓄積されていた電荷の引き抜きを完了し、空乏層がカソード側並びにゲート側からアノード側へ広がり、ターンオフ動作を開始する。空乏層は内蔵電位で決まる量により、接合にかかる電圧が増大し、ターンオフが進行するに従い拡大し、最終的にアノード近傍に到達する。

【0062】

従って、空乏層による電気容量は、アクティブな電荷が多数存在する飽和状態（導通状態）から、構造で決まる少量の電気容量まで変化していく。インダクタ22の電磁エネルギーによる電流が引き続きアノード→ゲートに流れ、この空乏層の電気容量を充電する。この充電電圧、つまり、第1の半導体スイッチ24のアノードゲート間電圧 V_{AG} は、初めは大きい電気容量のため、比較的緩やかに上昇するが、空乏層の広がりと共に急速に上昇していく。

【0063】

時点 t_3 で電流 I_L がゼロになると、図2B及び図2Cに示すように、電圧 V_{AG} 及び V_L が最大となり、それぞれ V_{AP} 及び V_{LP} となる。この時点で、インダクタ22の電磁エネルギーが全て第1の半導体スイッチ24の空乏層の電気容量に移行したことになる。

【0064】

また、この現象は、インダクタ22のインダクタンスと第1の半導体スイッチ24の電気容量とによる共振動作であるため、ほぼインダクタ22の電流 I_L は余弦波形、第1の半導体スイッチ24のアノードゲート間電圧 V_{AG} は正弦波形となる。

【0065】

従って、自由に定数を決められるインダクタ22のインダクタンスの値を選ぶことにより、インダクタ22並びに該インダクタ22と並列の負荷に発生するパルスの幅をコントロールできる。つまり、第1の半導体スイッチ24の電気容量の等価容量をCとすると、パルス幅 T_p は、

【0066】

【数1】

$$T_p \cong \pi \sqrt{LC}$$

となる。

【0067】

時点 t_3 で最大値 V_{AP} に充電された第1の半導体スイッチ24の空乏層の電気容量に蓄えられた電荷は、共振現象の継続により、インダクタ22及び蓄積電荷によって逆方向に導通状態のダイオード32の経路で放電が始まり、時点 t_4 でダイオード32が逆回復し、非導通になるまで続く。時点 t_4 でインダクタ22及び第1の半導体スイッチ24の空乏層の電気容量にエネルギーが残存していれば、このエネルギーによる電流は、直流電源部16→第2の半導体スイッチ26のダイオード36→第1の半導体スイッチ24のカソードK→アノードAの経路で流れる。

【0068】

直流電源部16に流れる時間 T_4 は回生動作となり、インダクタ22及び第1の半導体スイッチ24の空乏層の電気容量に残存しているエネルギーが回生され、運転効率の向上に大きく寄与する。従って、ダイオード32の逆回復時間を極力短縮し、時間 T_3 を短くすることが重要となる。

【0069】

以上の説明では、負荷34を等価的に抵抗負荷のような線形性のもので説明したが、負荷34が図3の放電ギャップ35のような非線形なものでは、電圧の上昇中に負荷インピーダンスが急減し、その後の波形は図2Bや図2Cとは違ったものとなるが、この場合、図2Bや図2Cの波形よりもパルス幅の狭いパルス状の波形となる。

【0070】

ところで、インダクタ22は、1次巻線42と、該1次巻線42と磁気的に結合され、かつ、1次巻線42の巻数よりも多い巻数の2次巻線44とを有する。この場合、1次巻線42と2次巻線44間の磁気結合を密にし、漏れ磁束の発生を抑制するために、磁性体コアに巻きつけることが好ましい。

【0071】

そして、1次巻線42の巻数を N_1 、2次巻線44の巻数を N_2 とすれば、この基本構成に係る高電圧パルス発生回路10の場合には、 $V_{AG} \times N_2 / N_1$ の電圧を負荷34に出力することができる。つまり、インダクタ22の出力電圧は、第1の半導体スイッチ24のアノード-カソード間電圧 V_{AK} の耐量以上の電圧となる。

【0072】

なお、この基本構成では、2次巻線44の巻数を1次巻線42の巻数よりも多くして加極性としたが、その他、2次巻線44の巻数を1次巻線42の巻数よりも少なくして減極性としてもよい。

【0073】

次に、上述した基本構成に係る高電圧パルス発生回路10を有する第1の実施の形態に係る高電圧パルス発生回路10Aについて図3～図7を参照しながら説明する。

【0074】

この第1の実施の形態に係る高電圧パルス発生回路10Aは、図3に示すように、上述の基本構成における第1の半導体スイッチ24に対して並列にダイオード45が接続され、インダクタ22の1次巻線42に対して並列にコンデンサ46が接続されて構成されている。

【0075】

ダイオード45は、アノード端子及びカソード端子が、第1の半導体スイッチ24のカソード端子及びアノード端子に接続され、第1の半導体スイッチ24に対して逆並列接続

されている。

【0076】

そして、この第1の実施の形態に係る高電圧パルス発生回路10Aにおいても、図3の経路48に示すように、インダクタ22の励磁インダクタンスに電流が流れ、エネルギーが蓄積される。その後、パワーMOSFET38をオフすることで、図3の経路50に示すように、第1の半導体スイッチ24のアノード端子Aからカソード端子Kに流れていた電流がアノード端子Aからゲート端子Gに転流し、第1の半導体スイッチ24の内部に残留する電荷がゲートから引き抜かれ、第1の半導体スイッチ24がターンオフすることとなる。

【0077】

このとき、図4に示すように、第1の半導体スイッチ24に流れていた電流 I_A が、コンデンサ46が接続された経路52に転流し、これにより、第1の半導体スイッチ24の動作責務が軽減されることになる。

【0078】

前記コンデンサ46を接続しない場合、図5Aの破線Aに示すように、第1の半導体スイッチ24に流れているアノード電流 I_A は、第1の半導体スイッチ24のターンオフに伴って低減していくが、第1の半導体スイッチ24のアノード-カソード間電圧 V_{AK} は、図5Bの破線Bに示すように、急峻に立ち上がることとなる。

【0079】

この立ち上がり時にオーバーシュート（パルスひずみ）等が生じ、図5Cの破線Cに示すように、第1の半導体スイッチ24のスイッチング損失（電圧×電流）は大きくなる。

【0080】

一方、第1の実施の形態のように、コンデンサ46を接続した場合には、第1の半導体スイッチ24がターンオフした段階で、アノード電流 I_A は、図5Aの実線Dに示すように、急峻に低減し、また、図5Bの実線Eに示すように、アノード-カソード間電圧 V_{AK} の立ち上がりが緩やかになることから、図5Cの実線Fに示すように、第1の半導体スイッチ24のスイッチング損失は大幅に低減される。

【0081】

すなわち、前記コンデンサ46を接続することで、第1の半導体スイッチ24のスイッチング損失の低減や電流遮断耐量の向上を図ることができる。

【0082】

特に、電流遮断耐量の向上は、パルス電源の大容量化につながる。つまり、インダクタ22の励磁インダクタンスに蓄積されるエネルギーは、 $1/2 \times (\text{励磁インダクタンス}) \times (\text{第1の半導体スイッチ24の遮断電流})^2$ で決まり、第1の半導体スイッチ24の遮断電流が電源の出力容量に大きく影響するからである。

【0083】

また、第1の半導体スイッチ24が高速に、もしくは大電流を遮断した場合に、インダクタ22の励磁インダクタンスには大きなサージ電圧（パルス出力）が第1の半導体スイッチ24に加わる。当然、電圧定格以上の電圧が第1の半導体スイッチ24に印加されると該第1の半導体スイッチ24に悪影響を与えるおそれがあるが、上述したようにコンデンサ46を接続することで、前記サージ電圧を抑えることができ、第1の半導体スイッチ24の信頼性の向上を図ることができる。

【0084】

また、使用する第1の半導体スイッチ24によっては、ターンオフ時の電圧上昇率（ dv/dt ）をあまり高くできない場合がある。上述のように第1の半導体スイッチ24に対して並列にコンデンサ46を接続することで、使用する第1の半導体スイッチ24の許容可能なレベルの電圧上昇率（ dv/dt ）、例えば $1\text{ kV}/\mu\text{s}$ 以上まで、前記コンデンサ46の容量で調整することができ、設計の自由度を広げることができる。

【0085】

なお、前記コンデンサ46を接続した場合においては、後述するように、コンデンサ4

6に残ったエネルギーの多くは直流電源部16に回生されることから、前記コンデンサ46を接続することによる効率低下は少ない。

【0086】

上述したように、第1の半導体スイッチ24がターンオフすることによって、図6に示すように、インダクタ22の励磁インダクタンスに流れていた電流がインダクタ22を介して負荷34に転流する（経路54参照）。このとき、インダクタ22に大きなパルス電圧が発生し、負荷34の放電ギャップ35にて放電が発生することになる。

【0087】

このとき、第1の半導体スイッチ24を含む一般の半導体スイッチは、寄生する容量成分が存在するため、転流する電流はすべて負荷34に流れるわけではなく、第1の半導体スイッチ24の寄生容量の充電のために電流が流れる。

【0088】

負荷34が、放電ギャップ35のように容量性の負荷である場合においては、放電によってエネルギーが消費されるが、すべてが消費されなかったり、放電が起こらずにエネルギーが多く残留することがある。

【0089】

この場合、残った電荷がインダクタ22の励磁インダクタンスを介して放出され（インダクタ22の励磁インダクタンスに電流が流れ）、再度インダクタ22の励磁インダクタンスにエネルギーが移動する。

【0090】

負荷34にたまった電荷がなくなり、エネルギーが励磁インダクタンスに移動し終わると、図7に示すように、2つの経路（第1及び第2の経路56及び58）に電流が流れることとなる。

【0091】

第1の経路56は、もう一度負荷34へ向かう経路であり、第2の経路58は、直流電源部16、パワーMOSFET38の逆並列ダイオード36、第1の半導体スイッチ24に逆並列に接続されたダイオード45を結ぶ経路である。

【0092】

但し、このときインダクタ22で発生する電圧は、直流電源部16と2つのダイオード36及び45で生ずる電圧でクランプされ、電流の多くは第2の経路58に流れる。この第2の経路58を通じての電流の流れは、図7では、直流電源部16のコンデンサ14にエネルギーを回生する動作になる。また、この回生動作においては、コンデンサ46の蓄積エネルギー、すなわち、第1の半導体スイッチ24のターンオフ後にコンデンサ46に蓄積したエネルギーの多くが直流電源部16に回生される。

【0093】

つまり、負荷の余分なエネルギー（使われないエネルギー）を直流電源部16に戻すという動作ということになり、直流電源部16の高効率化に寄与する。

【0094】

また、實際上、前記ダイオード45がないと、再度、インダクタ22の励磁インダクタンスと負荷34で共振し、結果的に第1の半導体スイッチ24に耐圧を超える逆電圧が印加されるおそれがあり、また、このとき重畳するパルス状のノイズで第2の半導体スイッチ26が誤動作する等の悪影響がある。従って、励磁インダクタンスのエネルギーの処理のためにも、前記ダイオード45を接続することが望ましい。

【0095】

上述の第1の実施の形態に係る高電圧パルス発生回路10Aでは、第1の半導体スイッチ24に対して逆並列にダイオード45を接続した場合を示したが、その他、図8に示す変形例に係る高電圧パルス発生回路10Aaのように、直流電源部16の負極端子20と第1の半導体スイッチ24のアノード端子A（あるいはインダクタ22の一端28）との間にダイオードを接続するようにしてもよい。この場合、ダイオード45のアノード端子が直流電源部16の負極端子20に接続され、ダイオード45のカソード端子が第1の半

導体スイッチ 24 のアノード端子 A に接続される。

【0096】

これにより、直流電源部 16 及びダイオード 45 を結ぶ経路 60 に電流が流れ、直流電源部 16 にエネルギーが回生されることになる。特に、この例では、上述の例（図 7 参照）と異なり、回生する電流の経路に接続されたダイオードが 1 つ（ダイオード 45）であるため、回生時の損失が少ないことと、機構的に前記回生する電流の経路の配線を短くすることができるため、回生効率がよくなるという利点がある。

【0097】

次に、第 2 の実施の形態に係る高電圧パルス発生回路 10B について図 9 を参照しながら説明する。

【0098】

この第 2 の実施の形態に係る高電圧パルス発生回路 10B は、上述した第 1 の実施の形態に係る高電圧パルス発生回路 10A（図 3 参照）とほぼ同様の構成を有するが、第 1 の半導体スイッチ 24 のゲート端子 G とインダクタ 22 の他端 30 との間に接続された素子をダイオード 32 の代わりに抵抗 62 とした点で異なる。

【0099】

この場合、パワー MOSFET 38 をオンさせたときに、第 1 の半導体スイッチ 24 をより確実にターンオンさせることができる。特に、第 1 の半導体スイッチ 24 を電流制御形のデバイスで構成した場合、ゲートに電流を流し込まないとターンオンしないが、上述のように抵抗 62 を接続することで、第 1 の半導体スイッチ 24 を確実にターンオンさせることができる。

【0100】

なお、上述の抵抗 62 を用いた構成においては、直流電源部 16 で使用する電源電圧を高電圧とした場合においても低コストで構成することができる。つまり、第 1 の半導体スイッチ 24 のゲート端子 G とインダクタ 22 の他端 30 との間にダイオード 32 を接続した場合は、直流電源部 16 で使用する電源電圧として高電圧を使用したいとき、ダイオード 32 の耐圧の問題上、複数個のダイオードを直列に接続するか、耐圧が高いダイオード（一般に高価である）が必要であるが、抵抗 62 であれば、比較的低コストで済む。

【0101】

また、図 9 の例では、第 1 の半導体スイッチ 24 に対して並列にダイオード 45 を接続した場合を示したが、その他、図 8 と同様に、直流電源部 16 の負極端子 20 と第 1 の半導体スイッチ 24 のアノード端子 A（あるいはインダクタ 22 の一端 28）との間にダイオード 45 を接続するようにしてもよい。

【0102】

このように、第 1 及び第 2 の実施の形態に係る高電圧パルス発生回路 10A（10Aa）及び 10B は、従来の高電圧パルス発生回路 100（図 10 参照）並びに提案例に係る高電圧パルス発生回路 118（図 11 参照）と比較して、高電圧が印加される半導体スイッチとして 1 個の第 1 の半導体スイッチ 24 のみでよく、しかも、該第 1 の半導体スイッチ 24 のゲート駆動には通常使用される電子回路によるゲート駆動回路を必要としないことが大きな利点である。

【0103】

また、高電圧が発生又は供給される部分は、第 1 の半導体スイッチ 24 のアノード端子 A とインダクタ 22 の一端 28 のみであり、他の回路要素は全て低電圧仕様の回路部品でよい。

【0104】

例えば、自動車の排ガスのパルス放電によるプラズマ分解のような場合には、自動車のバッテリーである 42V 程度の直流電源からでも動作可能であり、部品の電圧定格も数 10V あれば十分である。特に、図 10 に示す従来の高電圧パルス発生回路 100 では直流電源としてキャパシタ充電装置 102 を必要とし、通常この装置は非常に高価である。

【0105】

従って、第1及び第2の実施の形態に係る高電圧パルス発生回路10A(10Aa)及び10Bは、有害ガスの分解のためのプラズマ発生装置等、極めて短時間で急峻に立ち上がり、高い電圧上昇率(dv/dt)を有するパルスを必要とするものに好適に利用できる。

【0106】

さらに、第1及び第2の実施の形態では、インダクタ22の1次巻線42と並列にコンデンサ46を接続するようにしたので、第1の半導体スイッチ24の動作責務を軽減することができ、第1の半導体スイッチ24のスイッチング損失の低減や電流遮断耐量の向上を図ることができる。特に、電流遮断耐量の向上は、パルス電源の大容量化につながる。その結果、電源効率の向上、出力パルス数の向上、出力パルスエネルギーの向上を図ることができる。

【0107】

また、第1及び第2の実施の形態では、第1の半導体スイッチ24に対して並列にダイオード45を接続する、あるいは、直流電源部16と第1の半導体スイッチ24との間にダイオード45を接続するようにしたので、インダクタ22での残存エネルギー、例えばインダクタ22に負荷34が接続されていれば、該負荷34の余分なエネルギー(使われないエネルギー)、並びにインダクタ22に対して並列に接続されたコンデンサ46の蓄積エネルギーを直流電源部16に戻す動作が行われ、電源の高効率化に寄与する。

【0108】

なお、本発明に係る高電圧パルス発生回路は、上述の実施の形態に限らず、本発明の要旨を逸脱することなく、種々の構成を採り得ることはもちろんである。

【図面の簡単な説明】

【0109】

【図1】基本構成に係る高電圧パルス発生回路を示す回路図である。

【図2】図2A～図2Eは、基本構成に係る高電圧パルス発生回路の各部の電圧および電流の動作波形を説明する図である。

【図3】第1の実施の形態に係る高電圧パルス発生回路を示す回路図である。

【図4】第1の半導体スイッチに流れていた電流がコンデンサに転流する状態を示す説明図である。

【図5】図5Aは、コンデンサを接続しない場合とコンデンサを接続した場合における第1の半導体スイッチのアノード電流の変化の違いを示す特性図であり、図5Bは、アノード-カソード間電圧の変化の違いを示す特性図であり、図5Cは、スイッチング損失の違いを示す特性図である。

【図6】インダクタの励磁インダクタンスに流れていた電流がインダクタを介して負荷に転流する状態を示す説明図である。

【図7】エネルギーの回生動作を示す説明図である。

【図8】変形例に係る高電圧パルス発生回路を示す回路図である。

【図9】第2の実施の形態に係る高電圧パルス発生回路を示す回路図である。

【図10】従来技術に係る高電圧パルス発生回路を示す図である。

【図11】提案例に係る高電圧パルス発生回路を示す図である。

【符号の説明】

【0110】

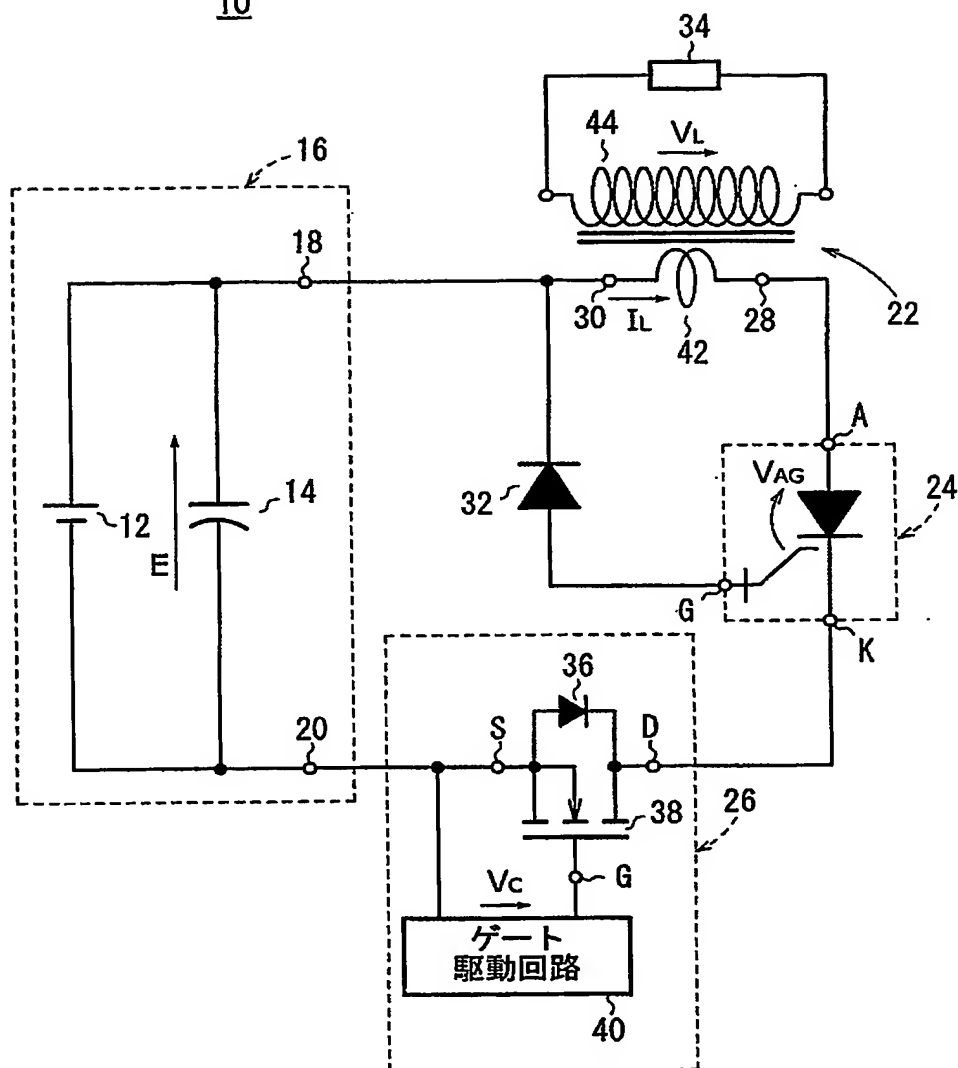
- | | |
|----------------------------|----------------|
| 10、10A、10Aa、10B…高電圧パルス発生回路 | |
| 14、46…コンデンサ | 16…直流電源部 |
| 22…インダクタ | 24…第1の半導体スイッチ |
| 26…第2の半導体スイッチ | 32、36、45…ダイオード |
| 34…負荷 | 35…放電ギャップ |
| 42…1次巻線 | 44…2次巻線 |
| 62…抵抗 | |

【書類名】 図面

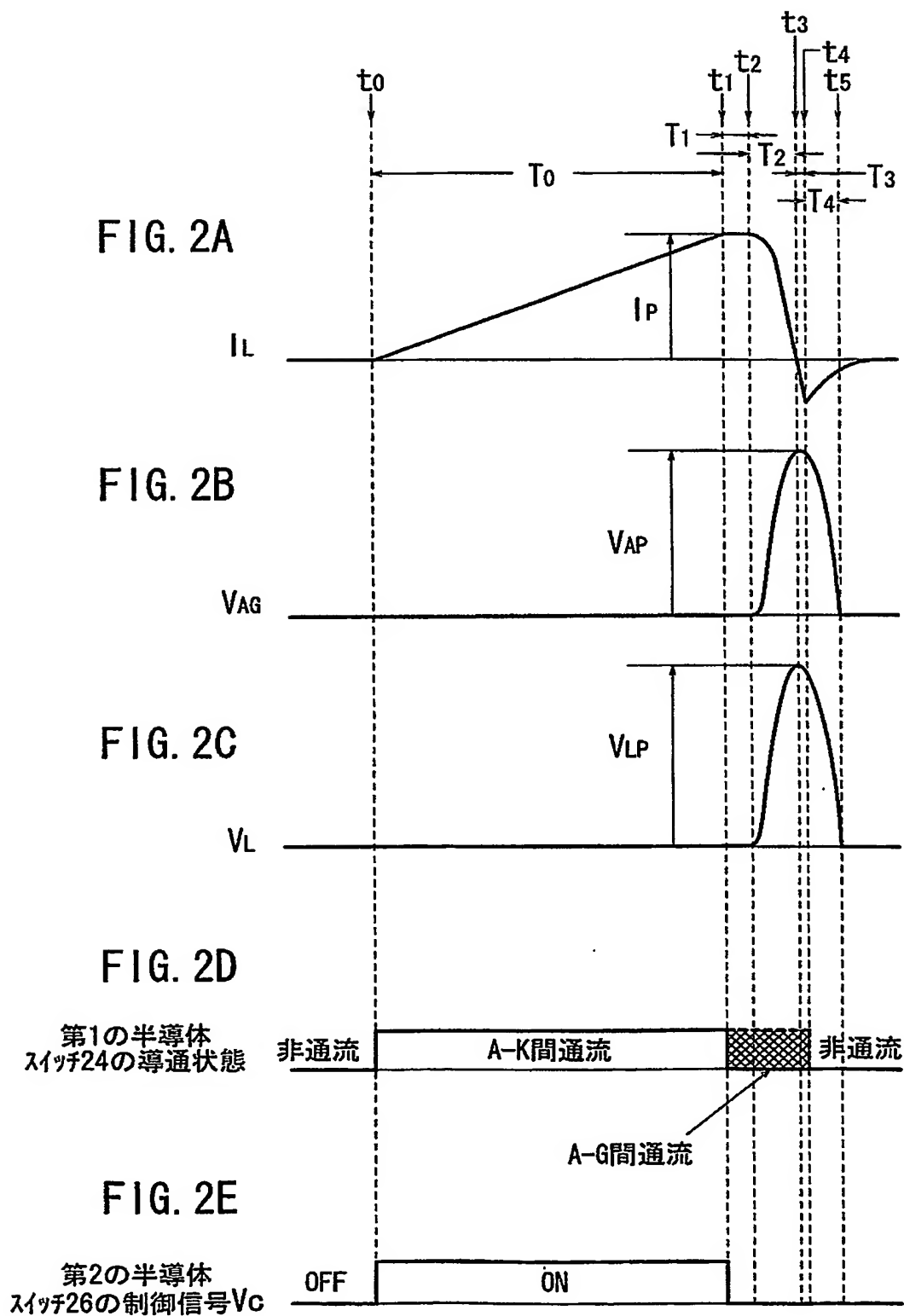
【図 1】

FIG. 1

10

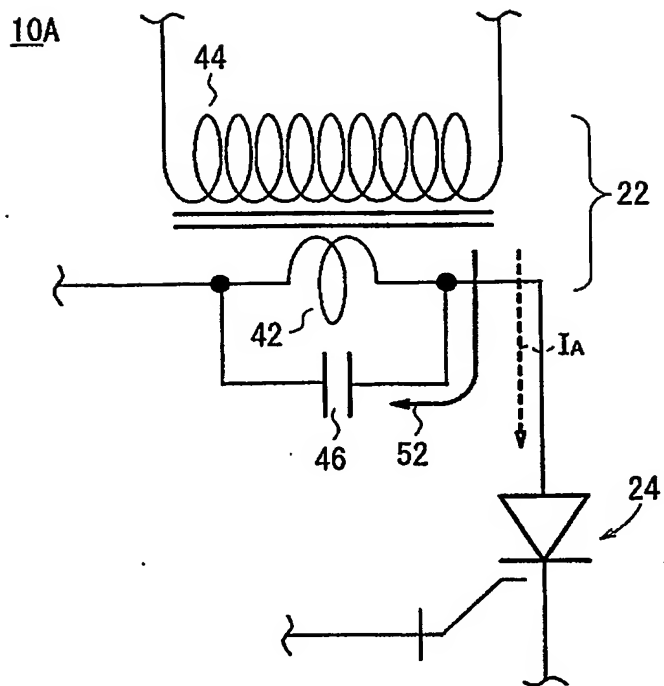


【図 2】



【図 4】

FIG. 4



【図 5】

FIG. 5A

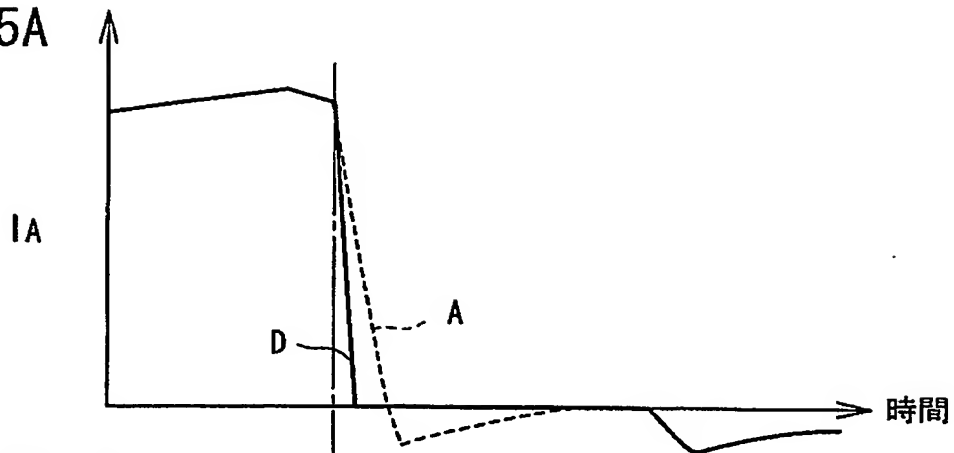


FIG. 5B

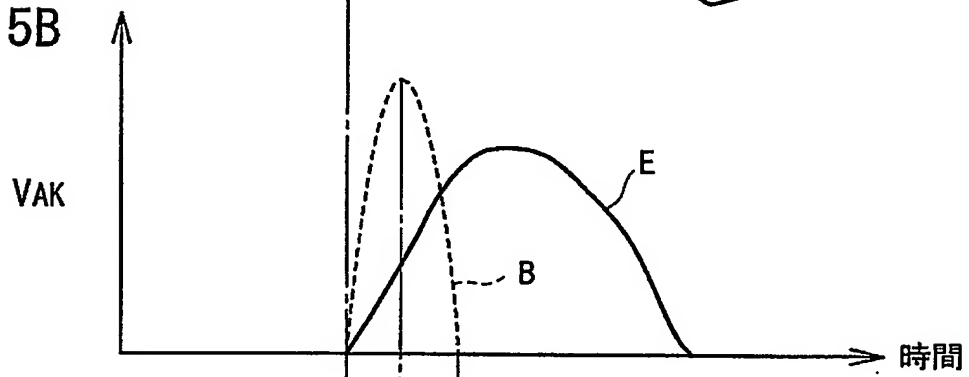
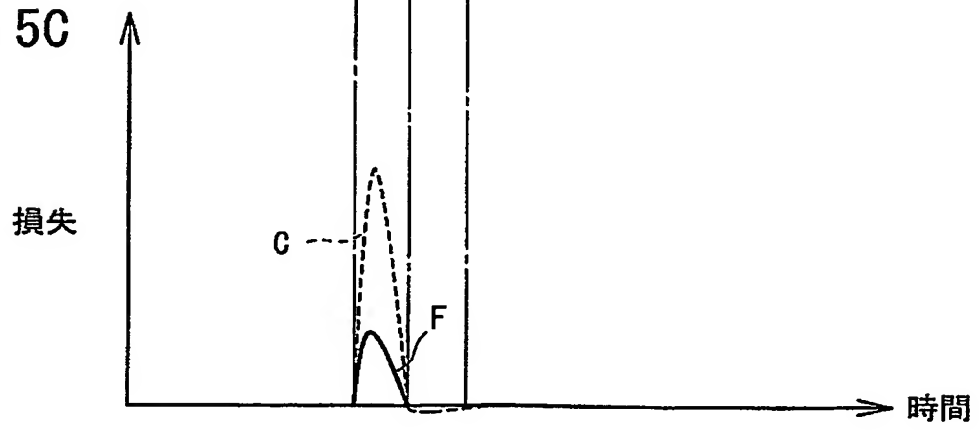
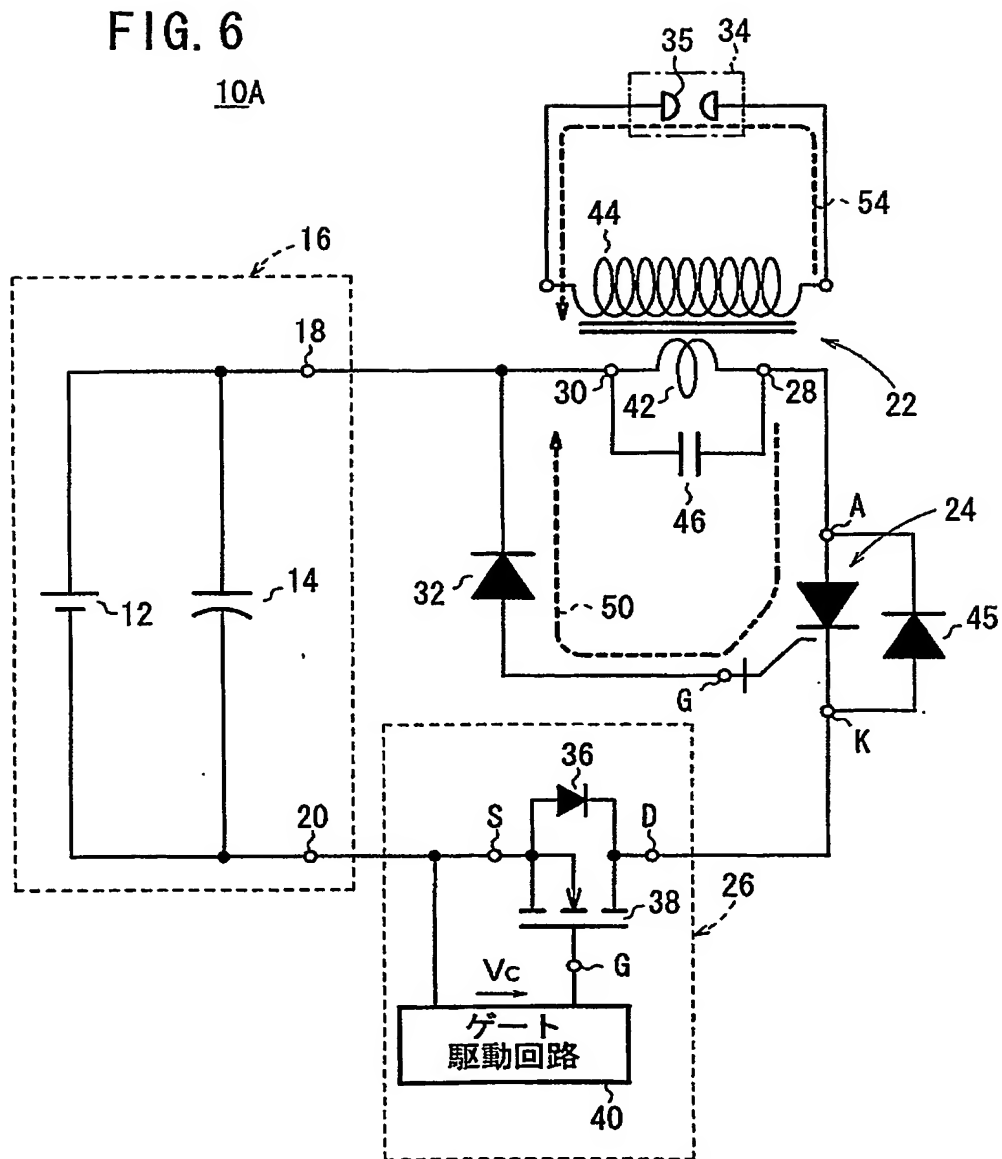


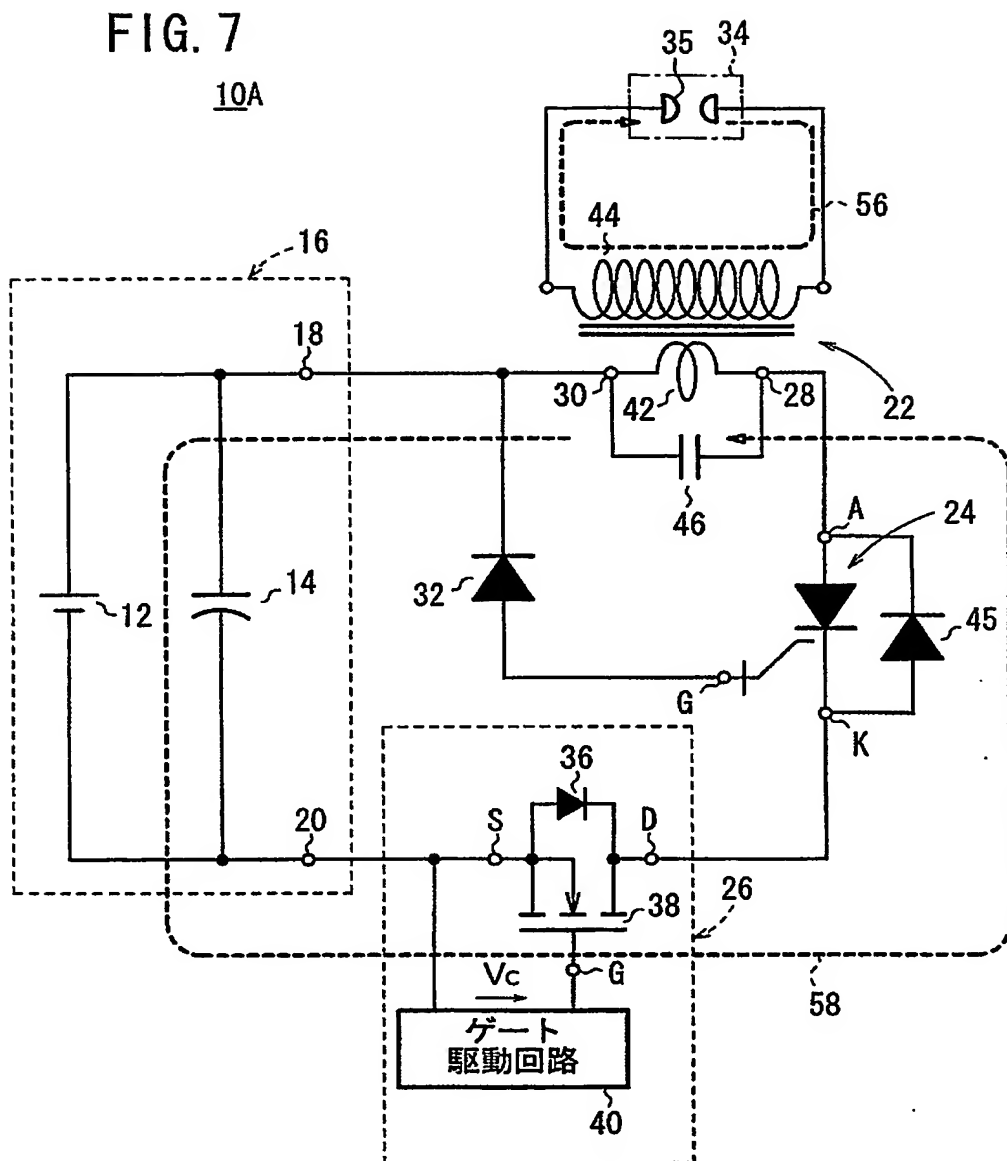
FIG. 5C



【図 6】



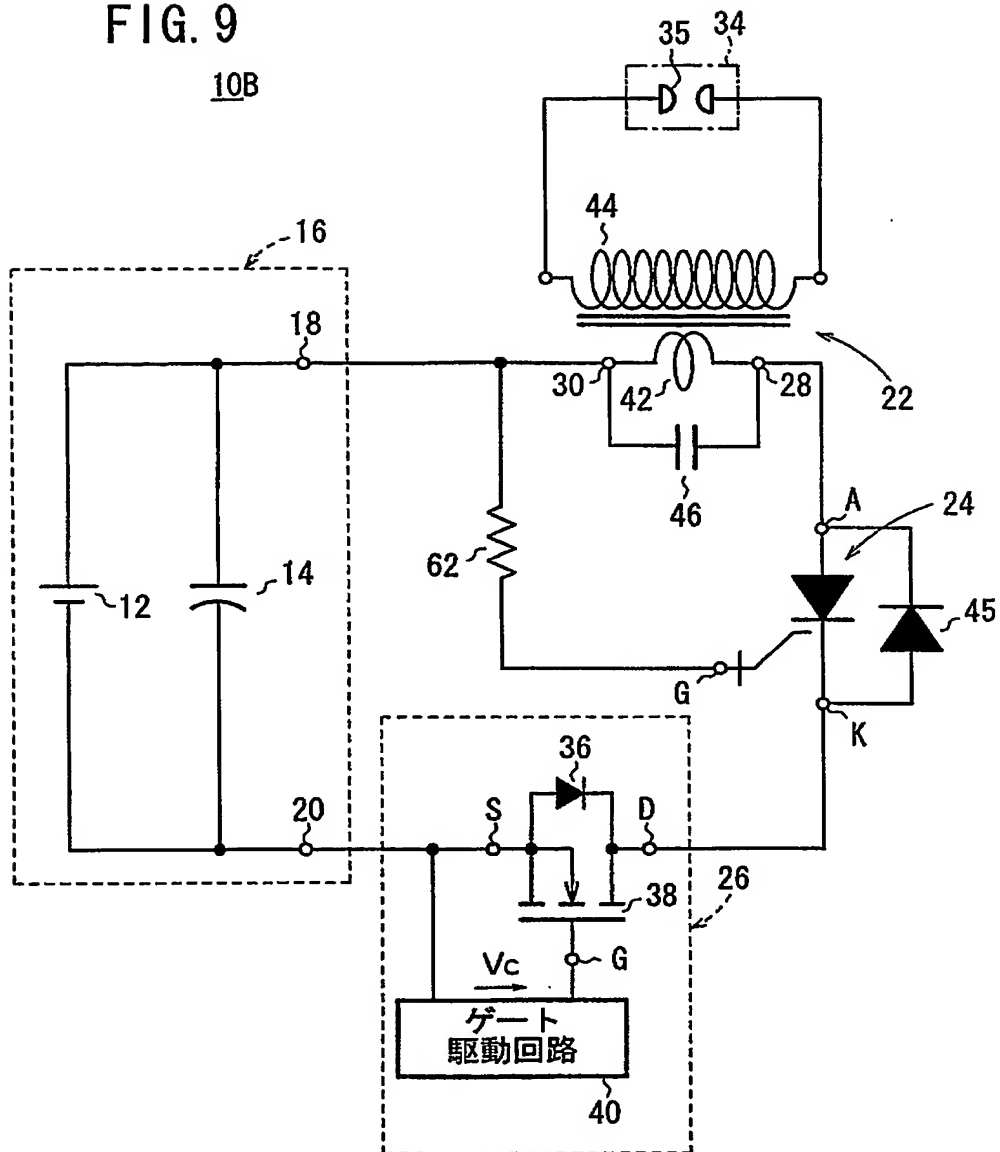
【図 7】



【図 9】

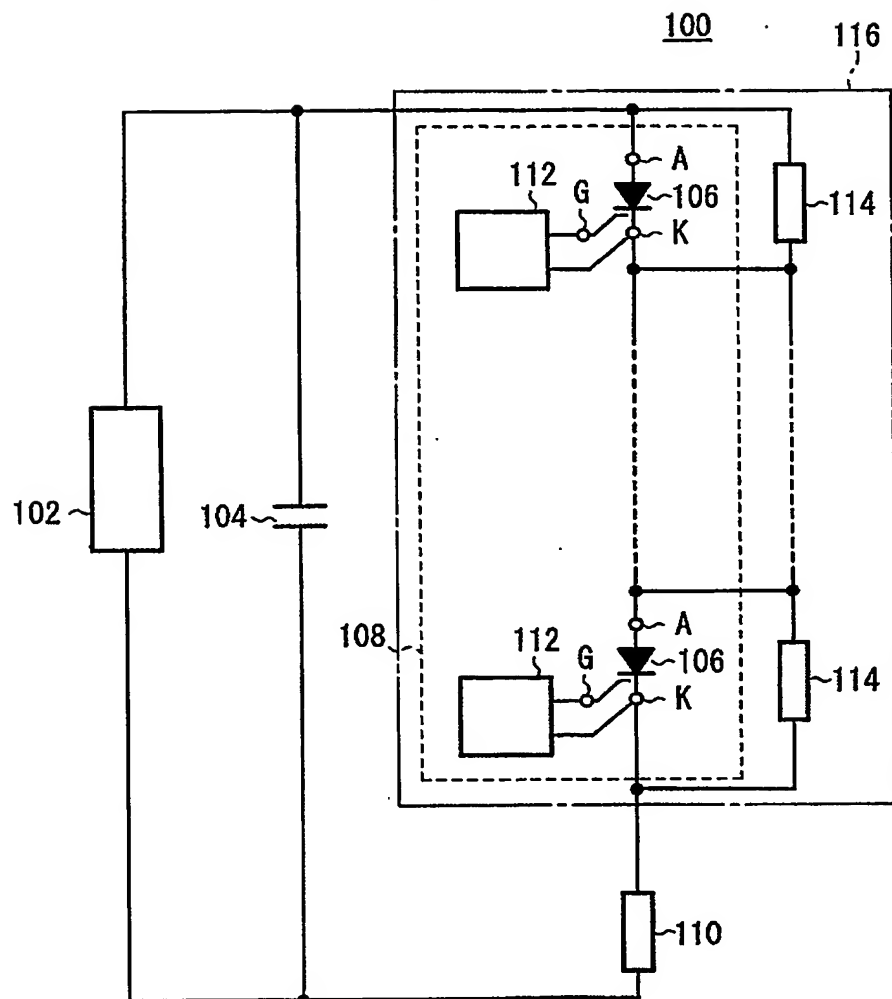
FIG. 9

10B



【図 10】

FIG. 10



【書類名】要約書

【要約】

【課題】電源効率の向上、出力パルス数の向上、出力パルスエネルギーの向上を図る。

【解決手段】高電圧パルス発生回路 10A は、直流電源部 16 の両端に直列接続されたインダクタ 22、第 1 の半導体スイッチ 24 及び第 2 の半導体スイッチ 26 と、第 1 の半導体スイッチ 24 のアノード端子 A に一端 28 が接続されたインダクタ 22 の他端 30 にカソード端子が接続され、第 1 の半導体スイッチ 24 のゲート端子 G にアノード端子が接続されたダイオード 32 とを有し、インダクタ 22 は、1 次巻線 42 と 2 次巻線 44 とを有する。そして、第 1 の半導体スイッチ 24 に対して並列にダイオード 45 が接続され、インダクタ 22 の 1 次巻線 42 に対して並列にコンデンサ 46 が接続されている。

【選択図】図 3

特願 2 0 0 3 - 3 9 1 7 6 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 0 6 4]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 愛知県名古屋市瑞穂区須田町 2 番 5 6 号

氏 名 日本碍子株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017099

International filing date: 17 November 2004 (17.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-391768
Filing date: 21 November 2003 (21.11.2003)

Date of receipt at the International Bureau: 17 February 2005 (17.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.